

プログラマブル・ディレイ (PDLY)

- 概要
 - 4つの動作モードから1つを選択します
 - 立ち上がりエッジ検出
 - 立ち下がりエッジ検出
 - 両エッジ検出
 - 両エッジディレイ
- 対応デバイス
 - 全ての GreenPAK デバイス

遅延時間と出力パルス幅は電源電圧とディレイ・セル数(1~4)によって変化します。

The image shows a software interface for configuring a Programmable Delay (PDLY) block. On the left is a 'Properties' window for 'P DLY/FILTER'. It has three dropdown menus: 'Type' set to 'P DLY', 'Mode' set to 'Rising edge detector', and 'Delay' set to '1 Cell'. Below these is an 'Information' section with a table showing delay and pulse width for different VDD voltages and cell counts. On the right is a block diagram showing an 'IN' block connected to a 'P DLY' block, which is connected to an 'OUT' block.

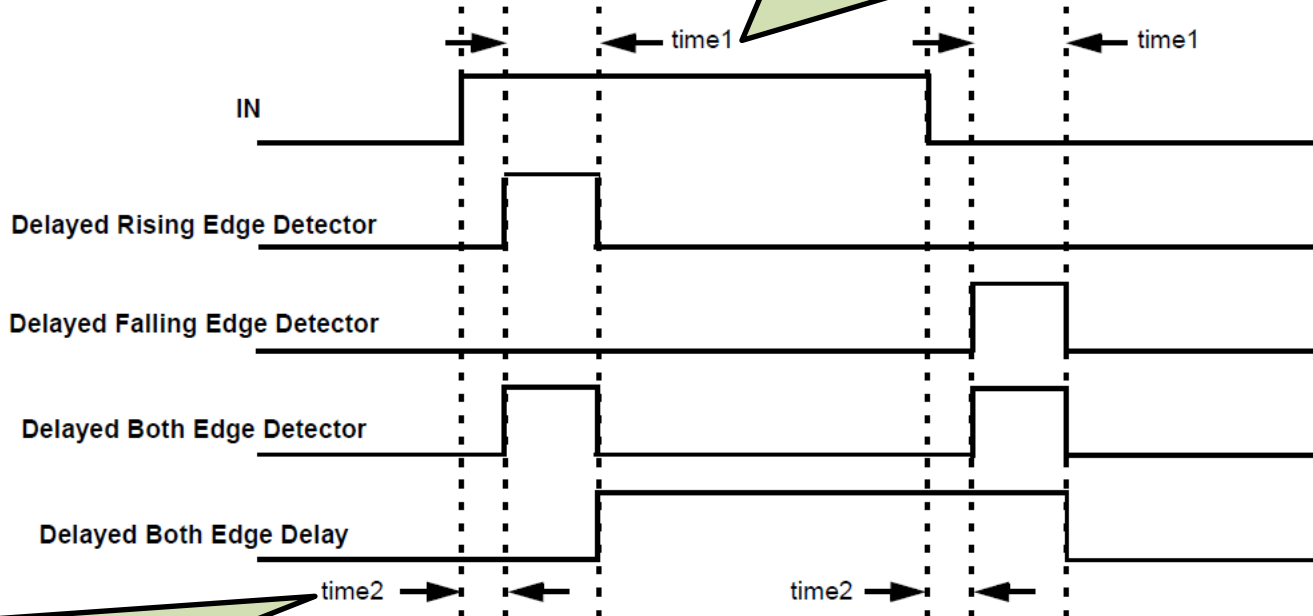
VDD (V)	Delay (ns)	Pulse width (ns)
1.8	48.2	256.7
3.3	20	120.8
5.0	14	110

プログラマブル・ディレイの例

プログラマブル・ディレイ (PDLY)

- エッジ検出は、該当エッジの検出後、一定幅のパルスを出力します
- 両エッジ・ディレイはディレイ(DLY)と似た動作をします
 - ディレイ(DLY) 参照

パルス幅は電源電圧とディレイ・セル数(1~4)によって変化します



遅延時間はチップ毎に異なり、電源電圧にも依存します。

デバイスによっては追加の遅延を付加できるものもあります。

time1 can be set by register
time2 is a fixed value

プログラマブル・ディレイ、各動作モードの違い

